

1/5/5 (Item 5 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2005 Thomson Derwent. All rts. reserv.

014320397 \*\*Image available\*\*  
WPI Acc No: 2002-141099/200219  
XRAM Acc No: C02-043698  
XRPX Acc No: N02-106621

**Trench insulating structure used in the production of a semiconductor device comprises a trench formed in the non-active zones of a semiconductor substrate, an inner wall oxide film**  
Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU ); LEE H (LEE-H-I); PARK K (PARK-I); PARK M (PARK-I); PARK T (PARK-I)  
Inventor: LEE H; PARK K; PARK M; PARK T; LEE H S; PARK G W; PARK M H; PARK T S

Number of Countries: 006 Number of Patents: 011

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 10050357	A1	20010628	DE 10050357	A	20001011	200219 B
CN 1293452	A	20010502	CN 2000134717	A	20001012	200219
GB 2360631	A	20010926	GB 200024940	A	20001011	200219
JP 2001160589	A	20010612	JP 2000312495	A	20001012	200219
KR 2001036816	A	20010507	KR 9943989	A	19991012	200219
US 20010041421	A1	20011115	US 2000684822	A	20001010	200219
			US 2001911096	A	20010723	
US 6331469	B1	20011218	US 2000684822	A	20001010	200219
US 6465866	B2	20021015	US 2000684822	A	20001010	200271
			US 2001911096	A	20010723	
KR 338767	B	20020530	KR 9943989	A	19991012	200277
GB 2360631	B	20030903	GB 200024940	A	20001011	200358
US 6331469	C1	20040831	US 2000684822	A	20001010	200458

Priority Applications (No Type Date): KR 9943989 A 19991012

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 10050357	A1	13		H01L-021/762	
CN 1293452	A			H01L-021/76	
JP 2001160589	A	9		H01L-021/76	
KR 2001036816	A			H01L-021/76	
US 20010041421	A1			H01L-021/76	Div ex application US 2000684822
US 6331469	B1			H01L-021/76	
US 6465866	B2			H01L-021/76	Div ex application US 2000684822 Div ex patent US 6331469
KR 338767	B			H01L-021/76	Previous Publ. patent KR 2001036816
GB 2360631	B			H01L-021/762	
US 6331469	C1			H01L-021/76	

Abstract (Basic): DE 10050357 A1

NOVELTY - Trench insulating structure comprises trench formed in non-active zones of semiconductor substrate (40) where trench upper edges or corners are rounded; inner wall oxide film (48) formed on trench inner wall; lining (50) formed on oxide film surface where lining upper end is pulled back from substrate surface; and dielectric film (52) for filling trench in which oxide film and lining were formed.

DETAILED DESCRIPTION - Preferred Features: The lining is made of silicon nitride formed using a LPCVD process. The inner wall oxide film has a thickness of 10-150 Angstroms and is a thermal oxide film formed by wet or dry oxidation.

USE - Used in the production of a semiconductor device.

ADVANTAGE - An inverse narrow width effect is avoided.

DESCRIPTION OF DRAWING(S) - The drawing shows a cross-section through a semiconductor device.

Semiconductor substrate (40)

Inner wall oxide film (48)

Lining (50)

Dielectric film (52)

pp; 13 DwgNo 4/10

Title Terms: TRENCH; INSULATE; STRUCTURE; PRODUCE; SEMICONDUCTOR; DEVICE;

**THIS PAGE BLANK (USPTO)**

COMPRISE; TRENCH; FORMING; NON; ACTIVE; ZONE; SEMICONDUCTOR; SUBSTRATE;  
INNER; WALL; OXIDE; FILM  
Derwent Class: L03; U11  
International Patent Class (Main): H01L-021/76; H01L-021/762  
International Patent Class (Additional): H01L-021/316; H01L-029/78  
File Segment: CPI; EPI

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-160589  
(P2001-160589A)

(43) 公開日 平成13年6月12日 (2001.6.12)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 21/76  
21/316  
29/78

H 0 1 L 21/316  
21/76  
29/78

S  
L  
3 0 1 R

審査請求 未請求 請求項の数24 O L (全 9 頁)

(21) 出願番号 特願2000-312495(P2000-312495)

(22) 出願日 平成12年10月12日 (2000. 10. 12)

(31) 優先権主張番号 9 9 P 4 3 9 8 9

(32) 優先日 平成11年10月12日 (1999. 10. 12)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朴 泰 緒

大韓民国京畿道水原市八達区靈通洞989-  
2番地 現代アパート730棟1303号

(72) 発明者 朴 文 漢

大韓民国京畿道龍仁市器興邑貢稅里832-  
1番地 青丘アパート105棟1603号

(74) 代理人 100072349

弁理士 八田 幹雄 (外4名)

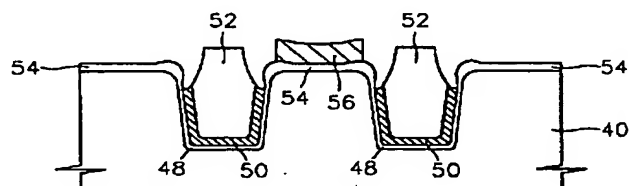
最終頁に続く

(54) 【発明の名称】 トレンチ素子分離構造とこれを有する半導体素子及びトレンチ素子分離方法

(57) 【要約】

【課題】 トレンチ上部エッジをラウンドし、この部分での酸化量を増大させトランジスタのハンプ現象及び逆方向の狭幅効果を改善したトレンチ素子分離構造とこのような構造を有する半導体素子及びトレンチ素子分離法を提供する。

【解決手段】 本発明のトレンチ素子分離法は、半導体基板の非活性領域にトレンチを形成する段階と、トレンチ内壁に、10～150 Åの厚さの内壁酸化膜を形成する段階と、内壁酸化膜上にライナーを形成する段階と、トレンチを絶縁膜に埋め込む段階と、前記ライナーの上端が半導体基板の表面よりさらにリセスされるようライナーの一部を蝕刻する段階とを含んでなることを特徴とする。



## 【特許請求の範囲】

【請求項 1】 半導体基板の非活性領域に形成され、その上部エッジがラウンドされたトレンチと、前記トレンチ内壁に形成された内壁酸化膜と、前記内壁酸化膜の表面上に形成され、その上部が前記半導体基板の表面より低くリセスされたライナーと、前記内壁酸化膜及びライナーが形成された前記トレンチを埋め込む絶縁膜とを具備することを特徴とするトレンチ素子分離構造。

【請求項 2】 前記内壁酸化膜は、 $10 \sim 150 \text{ \AA}$  の厚さを持つことを特徴とする請求項 1 に記載のトレンチ素子分離構造。

【請求項 3】 前記内壁酸化膜は、湿式酸化法または乾式酸化法により形成された熱酸化膜であることを特徴とする請求項 1 に記載のトレンチ素子分離構造。

【請求項 4】 前記ライナーの上端は、前記半導体基板の表面より  $1 \sim 500 \text{ \AA}$  ほど低くリセスされたことを特徴とする請求項 1 に記載のトレンチ素子分離構造。

【請求項 5】 前記ライナーは、低圧化学気相蒸着法により形成されたシリコン窒化物よりなることを特徴とする請求項 1 に記載のトレンチ素子分離構造。

【請求項 6】 前記トレンチ外側の半導体基板の表面は  $(100)$  面を持ち、前記トレンチ上端部のラウンドされた半導体基板の表面は  $(111)$  面を持つことを特徴とする請求項 1 に記載のトレンチ素子分離構造。

【請求項 7】 半導体基板の非活性領域に形成され、その上部エッジがラウンドされたトレンチと、前記トレンチ内壁に形成された内壁酸化膜と、前記内壁酸化膜の表面上に形成され、その上端部が前記半導体基板の表面より低くリセスされたライナーと、前記内壁酸化膜及びライナーが形成された前記トレンチを埋め込む絶縁膜と、前記トレンチ外側の前記半導体基板の活性領域上に形成され、その中心部よりエッジ部がより厚いゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とするトレンチ素子分離構造を有する半導体素子。

【請求項 8】 前記内壁酸化膜は、 $10 \sim 150 \text{ \AA}$  の厚さを持つことを特徴とする請求項 7 に記載のトレンチ素子分離構造を有する半導体素子。

【請求項 9】 前記ライナーの上端は、前記半導体基板の表面より  $1 \sim 500 \text{ \AA}$  ほど低くリセスされたことを特徴とする請求項 7 に記載のトレンチ素子分離構造を有する半導体素子。

【請求項 10】 前記トレンチ外側の半導体基板の表面

は  $(100)$  面を持ち、

前記トレンチ上端部のラウンドされた半導体基板の表面は  $(111)$  面を持つことを特徴とする請求項 7 に記載のトレンチ素子分離構造を有する半導体素子。

【請求項 11】 半導体基板の非活性領域にトレンチを形成する段階と、

前記トレンチ内壁に内壁酸化膜を形成する段階と、

前記内壁酸化膜上にシリコン窒化物ライナーを形成する段階と、

10 前記トレンチを絶縁膜に埋め込む段階と、

前記ライナーの上端が前記半導体基板の表面より低くリセスされるよう前記ライナーの一部を蝕刻する段階とを含むことを特徴とするトレンチ素子分離方法。

【請求項 12】 前記トレンチを形成する段階は、前記半導体基板上にパッド酸化膜を形成する段階と、前記パッド酸化膜上にパッド窒化膜を形成する段階と、

写真蝕刻工程を利用し、前記トレンチが形成される領域を限定する蝕刻マスクパターンを形成する段階と、

20 前記蝕刻マスクパターンを利用し、前記半導体基板の一部を蝕刻してトレンチを形成する段階とを含むことを特徴とする請求項 11 に記載のトレンチ素子分離方法。

【請求項 13】 前記内壁酸化膜は、湿式または乾式熱酸化法により  $10 \sim 150 \text{ \AA}$  の厚さに形成することを特徴とする請求項 11 に記載のトレンチ素子分離方法。

【請求項 14】 前記ライナーは、低圧化学気相蒸着法を使用し、 $20 \sim 200 \text{ \AA}$  の厚さに形成することを特徴とする請求項 12 に記載のトレンチ素子分離方法。

30 【請求項 15】 前記トレンチを絶縁膜に埋め込む段階は、

前記内壁酸化膜及びライナーが形成された結果物上に絶縁膜を蒸着する段階と、

前記絶縁膜の表面を平坦化する段階とを含むことを特徴とする請求項 12 に記載のトレンチ素子分離方法。

【請求項 16】 前記絶縁膜の表面を平坦化する段階は、

前記パッド窒化膜を蝕刻終了層として使用し、化学的物理的研磨工程により行われることを特徴とする請求項 15 に記載のトレンチ素子分離方法。

40 【請求項 17】 前記絶縁膜の表面を平坦化する段階は、

前記パッド窒化膜の中間の高さまで化学的物理的研磨工程により行われることを特徴とする請求項 16 に記載のトレンチ素子分離法。

【請求項 18】 前記絶縁膜の表面を平坦化する段階後に、

前記半導体基板の活性領域に残存するパッド窒化膜を除去する段階をさらに具備することを特徴とする請求項 15 に記載のトレンチ素子分離方法。

3

【請求項19】 前記パッド窒化膜を除去する段階後に、前記ライナーの上端が前記半導体基板の表面より低くリセスされるよう前記ライナーの一部を蝕刻する段階を連続的に行うことを特徴とする請求項18に記載のトレンチ素子分離方法。

【請求項20】 前記パッド窒化膜を除去する段階と前記ライナーの一部を除去する段階は、湿式蝕刻工程により行われることを特徴とする請求項19に記載のトレンチ素子分離方法。

【請求項21】 前記ライナーの上端は、前記半導体基板の表面より1～500Åほどリセスされるよう蝕刻されることを特徴とする請求項11に記載のトレンチ素子分離方法。

【請求項22】 前記パッド窒化膜及び前記ライナーの一部を蝕刻する段階後に、前記パッド酸化膜を除去する段階をさらに具備することを特徴とする請求項19に記載のトレンチ素子分離方法。

【請求項23】 前記パッド酸化膜を除去する段階後に、前記半導体基板の表面を酸化させる段階をさらに具備することを特徴とする請求項22に記載のトレンチ素子分離方法。

【請求項24】 前記絶縁膜は、化学気相蒸着法による酸化膜であり、前記酸化膜を蒸着した後前記表面を平坦化する段階前に熱処理をさらに行うことを特徴とする請求項15に記載のトレンチ素子分離方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、トレンチ素子分離構造とこれを有する半導体素子及びトレンチ素子分離方法に係り、特にトレンチ上部コーナーをラウンド処理し、この部分での酸化量を増大させトランジスタのハンプ現象及び逆方向の狭幅現象を改善したトレンチ素子分離構造とこのような構造を有する半導体素子及びトレンチ素子分離方法に関する。

#### 【0002】

【従来の技術】半導体装置の素子間分離法は局部的酸化法(Local Oxidation of Silicon、以下、LOCOSと称す)とトレンチ素子分離法とに大別される。

【0003】このうち、LOCOS法は工程が単純で、広い部位の素子分離膜と狭い部位の素子分離膜を同時に形成できるという長所を持つが、側面酸化によるバードベーク(bird's beak)が形成され素子分離領域の幅が広くなり、ソース／ドレイン領域の有効面積を減少させる。さらに、フィールド酸化の膜形成時に酸化膜の縁に熱膨張係数の差による応力が集中することにより、シリコン基板に結晶欠陥が生じて漏洩電流が多くなるという短所がある。

4

【0004】従って、シリコン基板にトレンチを形成し、その内部を酸化物などの絶縁物質で充填することにより、同じ分離幅でも有効分離長さを長くして前記のLOCOS法より小さな分離領域を具現できるトレンチ素子分離技術が必須のこととして要求されている。

【0005】トレンチを用いた素子分離技術のいろいろな工程のうちでも、トレンチのプロファイルをどのように形成するかということは安定した特性の素子を実現するために非常に重要な事項である。すなわち、トレンチの深さ、トレンチの角度、トレンチエッジの形などを適切なものにしなければならない。特に、高集積半導体装置にてシャロートレンチ素子分離(Shallow Trench Isolation、以STIと称す)法を利用する場合には、トレンチのエッジ部分がどんなプロファイルを有するかにより素子の電気的特性が決定されるといっても言い過ぎではない。

【0006】図1は従来のSTI素子分離法にてあらわれる問題点を説明するための断面図であり、参照符号「1」は半導体基板を、「3」はSTI領域に埋め込まれた素子分離膜を、「5」はゲート酸化膜を、そして「7」はゲート電極を各々示す。

【0007】図1に示したように、トレンチのエッジ部分がほとんど90°に近い鋭い角度で形成される場合に次のような問題点が生じる。第一に、ゲート形成工程にてゲート導電層がトレンチの上部コーナー部位を覆いつつ通り過ぎることにより、トレンチコーナーに強い電界が集中し図2に示したように、トランジスタが2回ターンオンされるハンプ現象及び逆方向の狭幅効果を誘発し、トランジスタの性能が劣化する。

【0008】図3はSTI構造にてあらわれる逆方向の狭幅効果を図示したグラフである。この逆狭幅効果というのはグラフに示したように、トランジスタのチャンネル幅が減少するにつれてスレショルド電圧が減少する現象を示し、図面にて参照符号「X」はハンプ現象の発生前に観測された結果を、「Y」はハンプ発生後に観測された結果を各々示す。

【0009】トレンチのエッジ部分が90°に近い鋭い角度で形成される場合にあらわれる問題点中の第二は、トレンチエッジ部分でゲート酸化膜が薄く形成されたりこの部位のゲート酸化膜に電界が集中し、ゲート酸化膜の絶縁破壊が生じるなど素子の信頼性が低下することである。

【0010】前記の問題を解決するために色々な方法が提案されたが、その例が米国特許第5,861,104号及び5,763,315号に開示されている。

【0011】前記の米国特許第5,861,104号ではトレンチを蝕刻する方法を改善し、トレンチの上端コーナーがラウンドされるようにする方法を記述しており、第5,763,315号では湿式蝕刻などの方法により結晶方向が(100)の半導体基板に酸化率が高い

10

20

30

40

50

(111)面を形成させることによりトレンチの上端部がラウンドされるようにして、この部分に形成されるゲート酸化膜を厚くし、トランジスタ及びゲート酸化膜の信頼性低下を防止する方法を記述している。

【0012】本発明はトレンチの上端部をラウンドするとともに、トレンチの上端部に結晶方向が(111)の面を形成し、この部分に形成されるゲート酸化膜を厚くし、結果的にトランジスタの特性を大きく向上させる構造及び製造方法を提示するものである。

【0013】

【発明が解決しようとする課題】本発明の技術的課題は、トレンチの上端部がラウンドされるようにすると同時にトレンチ上部エッジでのゲート酸化膜を厚くし、トランジスタ及びゲート絶縁膜の信頼性が向上できるトレンチ素子分離構造を提供することである。

【0014】本発明の他の技術的課題は、改善された構造の素子分離構造を持つことによりハンプ現象及び逆方向の狭幅効果が防止できる半導体素子を提供することである。

【0015】本発明のさらに他の技術的課題は、トレンチ上部エッジがラウンドされるようにすると同時に、トレンチ上部エッジでのゲート酸化膜を厚くできるトレンチ素子分離方法を提供することである。

【0016】

【課題を解決するための手段】前記課題を解決するための本発明によるトレンチ素子分離構造は、半導体基板の非活性領域に形成され、その上部エッジがラウンドされたトレンチと、前記トレンチ内壁に形成された内壁酸化膜と、前記内壁酸化膜の表面上に形成され、その上端部が前記半導体基板の表面より低くリセスされたライナーと、前記内壁酸化膜及びライナーが形成された前記トレンチを埋め込む絶縁膜とを具備する。

【0017】前記内壁酸化膜は10～150Åの厚さを持ち、前記ライナーの上端は前記半導体基板の表面より1～500Åほど低くリセスされるようにすることがトレンチ上端エッジを良好にラウンドするという点から望ましい。

【0018】前記他の課題を解決するための本発明によるトレンチ素子分離構造を有する半導体素子は、半導体基板の非活性領域に形成され、その上部エッジがラウンドされたトレンチと、前記トレンチ内壁に形成された内壁酸化膜と、前記内壁酸化膜の表面上に形成され、その上端部が前記半導体基板の表面より低くリセスされたライナーと、前記内壁酸化膜及びライナーが形成された前記トレンチを埋め込む絶縁膜と、前記トレンチ外側の前記半導体基板の活性領域上に形成され、その中心部よりエッジ部がより厚いゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備する。

【0019】望ましくは、前記トレンチ外側の半導体基板の表面は(100)面を持ち、前記トレンチ上端部の

ラウンドされた半導体基板の表面は(111)面を持つ。

【0020】前記のさらに他の課題を解決するための本発明によるトレンチ素子分離方法は、半導体基板の非活性領域にトレンチを形成する段階と、前記トレンチ内壁に内壁酸化膜を形成する段階と、前記内壁酸化膜上にシリコン窒化物ライナーを形成する段階と、前記トレンチを絶縁膜に埋め込む段階と、前記ライナーの上端が前記半導体基板の表面より低くリセスされるよう前記ライナーの一部を蝕刻する段階とを含む。

【0021】前記トレンチを形成する段階は、前記半導体基板上にパッド酸化膜を形成する段階と、前記パッド酸化膜上にパッド窒化膜を形成する段階と、写真蝕刻工程を利用し、前記トレンチが形成される領域を限定する蝕刻マスクパターンを形成する段階と、前記蝕刻マスクパターンを利用し、前記半導体基板の一部を蝕刻してトレンチを形成する段階とを含み、前記トレンチを絶縁膜に埋め込む段階は、前記内壁酸化膜及びライナーが形成された結果物上に絶縁膜を蒸着する段階及び前記絶縁膜の表面を平坦化する段階を含む。

【0022】前記絶縁膜の表面を平坦化する段階は、前記パッド窒化膜を蝕刻終了層として使用し、化学的物理的研磨工程またはエッチバック工程により行われることができ、前記絶縁膜の表面を平坦化する段階後に、前記半導体基板の活性領域に残存するパッド窒化膜を除去する段階をさらに具備する。

【0023】前記パッド窒化膜を除去する段階後に、前記ライナーの上端が前記半導体基板の表面より低くリセスされるよう前記ライナーの一部を蝕刻する段階を湿式食刻工程により連続的に行う。

【0024】前記パッド窒化膜及び前記ライナーの一部を蝕刻する段階後に、前記パッド酸化膜を除去する段階をさらに具備し、前記半導体基板の表面を酸化させる段階をさらに具備できる。

【0025】本発明によれば、トレンチ内壁に形成する内壁酸化膜の厚さを一定水準に制限し、ライナーの上端が半導体基板の表面よりリセスされたデント(dent)を形成することにより、後続するゲート酸化膜のための酸化工程にてトレンチ上部エッジでの酸化量を大きく増加できるようになる。すなわち、トレンチ上部エッジをあらかじめわざわざラウンド処理しなくても後続するゲート酸化膜のための酸化工程時にトレンチ上部エッジの半導体基板の酸化量が増加し、結果的にトレンチ上部エッジがラウンドされるようになり、このようなエッジでのゲート酸化膜の厚さがトレンチ外側の半導体基板の活性領域の中心でのゲート酸化膜の厚さより厚くなる。従って、トレンチ上部エッジでの電界集中により生じるハンプ現象及び逆方向の狭幅効果を抑制でき、ゲート絶縁膜の信頼性を向上させうる。

【0026】

10

20

30

40

50



【発明の実施の形態】以下、添付された図面を参照し本発明をより一層詳細に説明する。

【0027】次に、説明する実施例は色々な他の形態に変形でき、本発明の範囲が次に詳述される実施例に限定されるものではない。本発明の実施例は当業界で平均的な知識を持った者に本発明をより完全に説明するために提供されるものである。本発明の実施例を説明する図面において、いかなる層や領域の厚さでも明細書の明確性のために誇張されたものであり、また図面上の同じ符号は同じ要素を指す。さらに、ある層が他の層あるいは基板の「上部」にあると記載された場合、前記のある層が前記の他の層あるいは基板の上部に直接存在することもあり、その間に第3の層が介在することもある。

【0028】図4は本発明の1実施例による半導体素子を図示した断面図であり、トレンチ上部エッジがラウンドされた素子分離構造を有する半導体素子が図示されている。

【0029】図4を参照すると、半導体基板40の素子分離領域の非活性領域に、その上部エッジが半導体素子の形成される活性領域の方向にラウンドされたトレンチが形成されており、前記トレンチ内壁には内壁酸化膜48とライナー50が順序通りに形成されている。前記内壁酸化膜48は湿式または乾式熱酸化法により形成され、その厚さは10~150Åほどに薄く形成されている。そして、前記ライナー50は低圧化学気相蒸着法による窒化膜、特にシリコン窒化膜でなされ、その厚さは20~200Åほどである。特に、前記ライナー50はトレンチ外側の半導体基板40の表面より低くリセスされているので、トレンチ上端より1~500Åほどリセスされることが望ましい。

【0030】前記内壁酸化膜及びライナーが形成されたトレンチの内部は化学気相蒸着の酸化膜のような絶縁膜52が完全に埋め込まれており、その絶縁膜の表面は平坦化されている。

【0031】前記半導体基板40の活性領域には、ゲート絶縁膜としてゲート酸化膜54とゲート電極56が形成されている。特に、前記ゲート酸化膜54は中心部より縁部、すなわちトレンチの上部エッジに厚く形成されている。

【0032】このような構造の本発明による半導体素子によれば、トレンチの上部エッジがラウンドされ、さらにこの部分にゲート酸化膜が活性領域側より厚く形成されるので、ゲート酸化膜の縁部に電界が集中することにより生じるハンプ現象及び逆方向の狭幅現象を抑制でき、ゲート絶縁膜の信頼性を向上させうる。

【0033】図5Aないし図6Fは本発明の望ましい実施例によるトレンチエッジがラウンドされた素子分離構造を有する半導体素子の製造方法を説明するために工程順序により図示した断面図である。

【0034】図5Aを参照すると、半導体基板40上に

100Åほどの厚さの熱酸化膜を成長させ、基板のストレスを緩和させ保護するためのパッド酸化膜42を形成する。このパッド酸化膜42上に、後続のトレンチ形成のための基板蝕刻時、またはトレンチ埋込み物質に対する平坦化工程時に蝕刻マスクに使われる膜として、前記半導体基板40との蝕刻選択比に優れた物質、例えばシリコン窒化膜を低圧化学気相蒸着法により1500Åほどの厚さに蒸着してパッド窒化膜44を形成する。

【0035】次に、写真工程を利用し、前記パッド窒化膜44上にトレンチが形成される非活性領域を露出させる様相のフォトレジストパターン46を形成する。このフォトレジストパターン46を蝕刻マスクとして使用し、前記パッド窒化膜44とパッド酸化膜42を異方性蝕刻することにより非活性領域の半導体基板40が露出されるようにする。この時、前記フォトレジストパターン46により前記パッド窒化膜44だけを異方性蝕刻し蝕刻マスクパターンを形成することもできる。

【0036】図5Bを参照すると、フォトレジストパターン46を除去した後に、パッド窒化膜44とパッド酸化膜42を蝕刻マスクパターンとして使用し、露出された半導体基板40を2000~10000Åほど異方性蝕刻しトレンチ47を形成する。この時、前記フォトレジストパターン46を除去していない状態でフォトレジストパターン46を蝕刻マスクパターンとして使用してトレンチ47の形成もできる。一方、本発明によれば後続工程にてトレンチの上部エッジがラウンドされるために、この段階ではトレンチの上部エッジをラウンド処理する別の工程を実施せずにほとんど垂直に近くトレンチ37を形成してもよい。

【0037】図5Cを参照すると、トレンチ47が形成された半導体基板40に対して所定の熱酸化工程を実施し、前記トレンチ47の内壁に内壁酸化膜48を形成する。前記内壁酸化膜48は10~150Åほどの厚さ、望ましくは10~50Åほどの厚さに形成するのであるが、このように内壁酸化膜を薄く形成する理由については後述する。さらに、前記内壁酸化膜48は湿式酸化または乾式酸化の熱酸化法により形成できるのであるが、厚さの調節が容易で均一度が高い乾式酸化法を使用し形成することが望ましい。

【0038】次いで、内壁酸化膜48が形成された結果物の全面に、低圧化学気相蒸着法により窒化膜、例えばシリコン窒化膜を蒸着してライナー50を形成する。このライナー50は20~200Åほどの厚さに形成できるのであるが、ライナーがあまり薄い場合は後続の酸化工程により容易に破壊されることもあり、あまり厚い場合はトレンチの縦横比が大きくなり、絶縁膜にトレンチ内部を埋め込む時にボイド(void)が形成されるなど完璧なトレンチ埋め込みが困難になりうる。

【0039】図6Dを参照すると、窒化膜ライナー50が形成された結果物上に絶縁物質、例えば化学気相蒸着

法を使用しトレンチを埋め込むのに充分なほどの厚さ、例えば  $10000\text{Å}$  以下の厚さに酸化膜 52 を蒸着する。前記化学気相蒸着酸化膜 52 にトレンチを埋め込んだ後、埋め込まれた化学気相蒸着酸化膜の緻密化のために高温で熱処理工程を実施することが望ましい。

【0040】トレンチに埋め込まれた化学気相蒸着酸化膜 52 に対する緻密化工程は、化学気相蒸着酸化膜 52 の蝕刻率があまり大きいために、後続する化学気相蒸着酸化膜 52 の平坦化工程にて化学的機械的研磨の速度が速いだけでなく、パッド酸化膜 42 の湿式蝕刻または蝕刻液を用いた洗浄工程にて容易に消耗されることを改善するためのものである。前記化学気相蒸着酸化膜 52 の緻密化工程は窒素ガス ( $\text{N}_2$ ) 雰囲気中で  $1000^\circ\text{C}$  以上の温度で進行したり、湿式酸化処理をするにおいて、窒化膜ライナー 50 が形成されているために半導体基板 40 の酸化は生じない。

【0041】次いで、化学気相蒸着酸化膜 52 に対して平坦化工程、例えばエッチバック、化学的機械的研磨あるいはエッチバックと化学的機械的研磨工程を共に使用して表面を平坦化する。例えば、化学的機械的研磨工程を利用する場合、活性領域に形成されたパッド窒化膜 44 を蝕刻終了層として使用するのであるが、残留するパッド窒化膜 44 の厚さが中間ほどに進行した時に化学的機械的研磨が終了するようにすることが望ましい。

【0042】図 6E を参照すると、磷酸溶液を使用して活性領域に残留するパッド窒化膜 44 を除去する。この時、窒化膜ライナー 50 も一部蝕刻できるよう過度蝕刻を実施し、図示したように、半導体基板 40 の表面より窒化膜ライナー 50 の上端が  $1\sim 500\text{Å}$  ほど低くリセスされた、いわゆるデントが形成されるようにする。デントを形成した状態の部分拡大図が図 7 に図示されている。このように窒化膜ライナー 50 の上部にデントを形成する場合、トレンチ上部エッジでの半導体基板の酸化が非常に進むのであるが、その理由についても後述する。

【0043】デントがあまりはなはだしく形成されれば、トレンチ上端があたかもオープンしたかのようになり、酸化時にトレンチ上部エッジが尖ってしまう現象があり、後続工程にて MOS トランジスタを形成する時、ゲート用導電物質がパタニング後にもトレンチ上部エッジに残っているようになり、ブリッジを起こすことがある。従って、通常用いられるゲート酸化膜の厚さが  $100\text{Å}$  以下の素子では、半導体基板 40 の表面より  $500\text{Å}$  以下にリセスされたデントを持つようにすることが望ましい。

【0044】次いで、希釈されたフッ酸 ( $\text{HF}$ ) 溶液を使用し、活性領域に残留するパッド酸化膜 42 を除去する。

【0045】図 6F を参照すると、デントが形成された図 6E の結果物に対して熱酸化工程を実施しゲート酸化

膜 54 を形成すれば、図示したようにトレンチ上部エッジでの酸化が進み、他の部位に比べてゲート酸化膜 54 が厚く形成され、これによりトレンチ上部エッジがラウンドされた様相になる。次いで、前記ゲート酸化膜 54 上に導電物質、例えば不純物がドーピングされたポリシリコン膜、またはドーピングされたポリシリコンとシリサイドの積層膜を形成した次に、写真食刻工程でパターンニングすることによりゲート電極 56 を形成する。

【0046】前述の本発明の実施例において、トレンチ上部エッジで酸化が進み、この部門のゲート酸化膜 54 が半導体基板 40 の活性領域の中心部より厚くなった原因は大きく次の三つに要約できる。

【0047】①トレンチ内壁に形成されている窒化膜ライナー 50 の引張り変形力のためであると言える。トレンチの側壁を示す部分拡大図の図 8 を参照して詳細に説明する。図 8 にて参照番号「40」は半導体基板を示し、「50」は窒化膜ライナーを示す。参考として、説明を容易にするためにトレンチ内壁に形成される内壁酸化膜を省略した。

【0048】低圧化学気相蒸着法により蒸着されたシリコン窒化膜ライナー 50 は半導体基板 40 の表面近辺の活性領域（「B」）に引張り変形力を引き起こさせる。すなわち、低圧化学気相蒸着法によるシリコン窒化膜はシリコン基板に比べて熱膨張係数が大きいために酸化工程などの高温工程でシリコン単結晶でなされた半導体基板 40 より体積がより膨脹する。従って、シリコン窒化膜ライナー 50 には引張り変形力が生じ、反対にシリコン窒化膜ライナー 50 と接触しているトレンチ側壁の半導体基板（参照符号「A」）には圧縮変形力が生じる。これと共に活性領域表面側の半導体基板（参照符号「B」）には引張り変形力が引き起こされる。このように引張り変形力が加えられた状態では半導体基板 40 の結晶格子間の距離が大きい状態なので酸化が速く生じる。

【0049】従って、シリコン窒化膜ライナー 50 を形成してトレンチ上部エッジの酸化量を極大化しつつラウンドされるようにするなら、シリコン窒化膜ライナー 50 とトレンチ側壁間に形成される内壁酸化膜の厚さができる限り薄いほど良いのであるが、 $10\sim 150\text{Å}$  ほどが望ましい。

【0050】②シリコン窒化膜ライナー 50 にデントが形成されたためであると言える。図 7 に示したように、デントにより露出されたトレンチ上端エッジの半導体基板 40 が酸化されつつだんだんと傾斜面を形成するのであるが、このような傾斜面は（111）面を持ち、活性領域の半導体基板 40 の表面は（100）面を持つ。シリコン結晶の格子間間隔は（111）方向である時最も大きいために、結晶格子の間の結合力が弱い。従って、酸化工程時に各格子点に位置するシリコン原子間の結合が容易に途切れて酸化が最も早く生じる。

【0051】③シリコン窒化膜ライナー50が酸化の遮断膜として作用するためであると言える。ライナー50がない場合、ゲート酸化膜(図6Fの54)形成時、酸素原子がトレンチに埋め込まれた化学気相蒸着酸化膜48を貫き、トレンチ側壁の半導体基板40に拡散してトレンチ側壁でも酸化が同時に生じる。これによる体積膨張により半導体基板40の上部エッジにむしろ圧縮変形力が作用するようになり、従って酸化が抑制される。しかし、本発明ではライナー50の存在によりライナー50が形成された部分のトレンチ側面への酸化が抑制されるが、ライナー50がリセスされたトレンチ上部エッジではむしろこのような酸化抑制要因がなくなるために酸化が容易に生じるようになる。

【0052】図9ないし図11はトレンチ内の内壁に形成された内壁酸化膜の厚さによるトレンチ上部エッジでのゲート酸化膜の厚さ及びラウンディングの程度を知るために観測した走査電子顕微鏡の写真を図示したものである。前記内壁酸化膜は各々240Å、110Å、20Åの厚さであり、ライナーは同じ厚さに各々形成して、ゲート酸化膜を75Å成長させた。

【0053】図9を参照すると、トレンチのコーナーがラウンディングされることもなく、ゲート酸化膜も厚くならなかったことが分かる。その原因は次の通り説明できるであろう。第一に、引張り変形力を有するライナーが圧縮変形力を有するトレンチ側壁から厚い内壁酸化膜により遠く離れているため、半導体基板上端に引張り変形力を引き起こせなかったためである。第二に、トレンチ上端部では厚く成長した内壁酸化膜上にライナーが形成されているために、磷酸溶液によるパッド窒化膜蝕刻が進行しても、下の方向へのデントが形成されない。従って、ゲート酸化膜を形成するための酸化が進行しても半導体基板の上部エッジに(111)面を有する傾斜面が形成されないためである。第三に、厚い内壁酸化膜を通じて広がる酸素原子が多く、トレンチの側壁酸化が非常に進行するためにトレンチの側壁酸化により半導体基板の上部エッジでは圧縮引張り力が作用して酸化量が増加できないためである。

【0054】図10はトレンチ内の内壁酸化膜を110Å形成し、ライナーを形成した後で望ましい程度のデントを形成した場合の走査電子顕微鏡の写真を図示したものであり、トレンチ上端コーナーがラウンドされた様相を見ることができる。

【0055】図11はトレンチ内の内壁酸化膜を20Åに形成し、トレンチ側面への酸化を極端に制限し、ライナーの引張り変形力の影響を極大化させた場合の走査電子顕微鏡の写真を図示したものである。トレンチ上部エッジがラウンドされ、この部分でのゲート酸化膜の厚さが170Åほどで、活性領域の表面部位に比べてはるかに厚く形成したことが分かる。

【0056】

【発明の効果】以上、本発明をその実施例をあげ詳細に説明したが、本発明の範囲内で多くの変形が可能である。

【0057】前述の本発明によれば、トレンチ内壁に形成する内壁酸化膜の厚さを一定水準に制限し、ライナーを形成すれば、後続工程にてゲート酸化膜形成時にトレンチ上端エッジでの酸化量を大きく増加させることができる。従って、トレンチ上部エッジでの電界集中によるハンプ現象及び逆方向の狭幅現象を抑制でき、ゲート絶縁膜の信頼性を向上させうる。さらに、前記内壁酸化膜上に形成されるライナーを半導体基板の表面よりリセスされたデントを形成すれば、周辺のゲート酸化膜形成時にトレンチ上部エッジの半導体基板の結晶状態を(111)面にし、酸化量をより一層増加させることができる。

【図面の簡単な説明】

【図1】従来のSTI法にてあらわれる問題点を説明するための断面図である。

【図2】従来のSTI法により製造された半導体素子にあらわれるハンプ現象を説明するためのグラフである。

【図3】STI構造にてあらわれる逆方向の狭幅効果を図示したグラフである。

【図4】本発明の1実施例による半導体素子を図示した断面図である。

【図5】図5Aないし図5Cは本発明の望ましい実施例によるトレンチ上部エッジがラウンドされた素子分離構造を有する半導体素子の製造方法を説明するために工程順序に従い図示した断面図である。

【図6】図6Dないし図6Fは本発明の望ましい実施例によるトレンチ上部エッジがラウンドされた素子分離構造を有する半導体素子の製造方法を説明するために工程順序に従い図示した断面図である。

【図7】トレンチ上端の窒化膜ライナーにデントが形成されたことを示す部分拡大断面図である。

【図8】トレンチ内壁の窒化膜ライナーの引張り変形力によりトレンチ上端での酸化量が増加することを説明するための部分拡大図である。

【図9】トレンチ内壁酸化膜の厚さによるトレンチ上部エッジでのゲート酸化膜の厚さ及びエッジラウンドの程度を知るために観測した走査電子顕微鏡の写真を図示したものである。

【図10】トレンチ内壁酸化膜の厚さによるトレンチ上部エッジでのゲート酸化膜の厚さ及びエッジラウンドの程度を知るために観測した走査電子顕微鏡の写真を図示したものである。

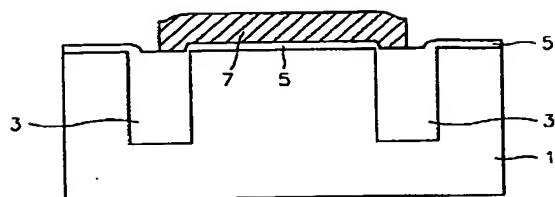
【図11】トレンチ内壁酸化膜の厚さによるトレンチ上部エッジでのゲート酸化膜の厚さ及びエッジラウンドの程度を知るために観測した走査電子顕微鏡の写真を図示したものである。

【符号の説明】

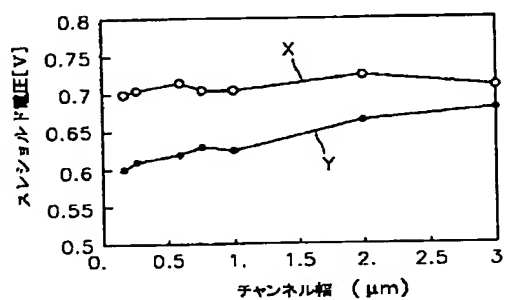
13

40…半導体基板  
48…内壁酸化膜  
50…ライナー

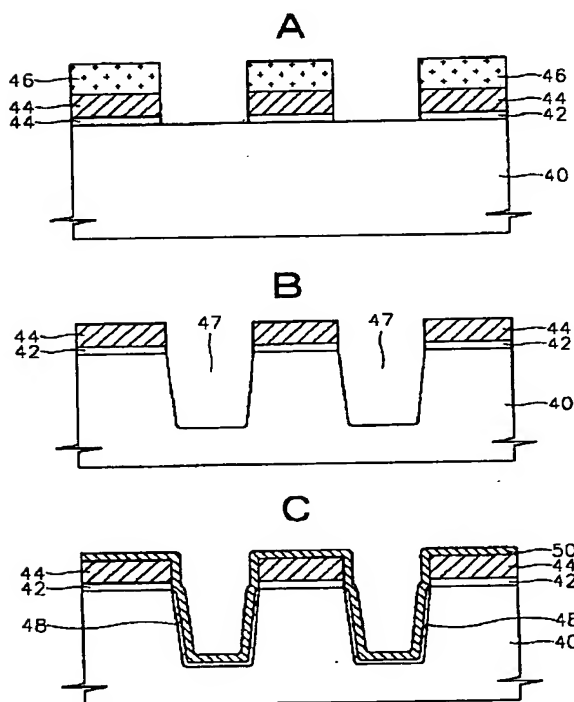
【図1】



【図3】



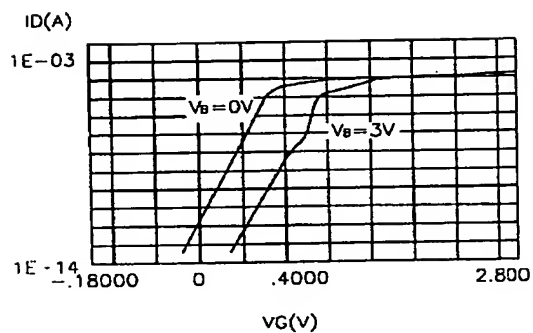
【図5】



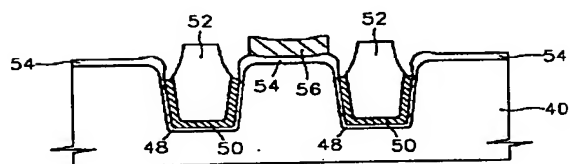
14

\* 52…化学気相蒸着酸化膜  
54…ゲート酸化膜  
\* 56…ゲート電極

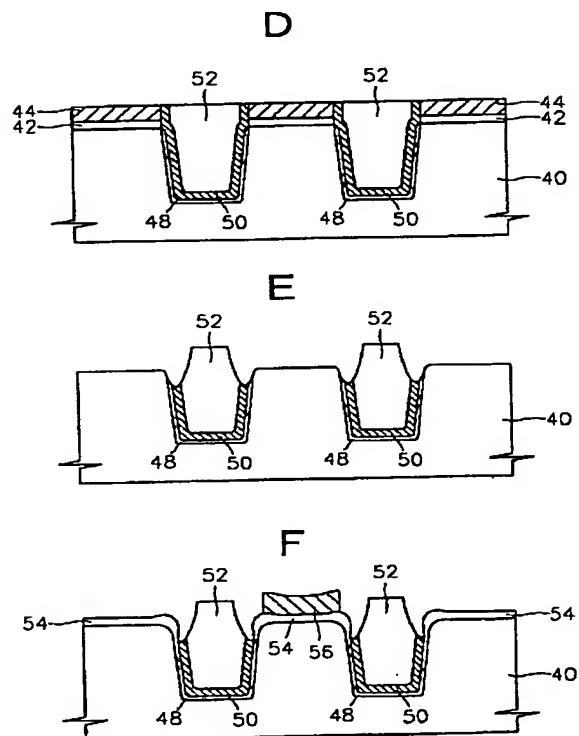
【図2】



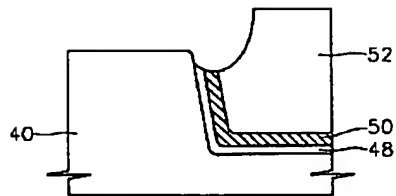
【図4】



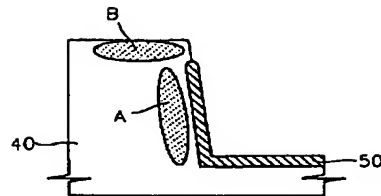
【図6】



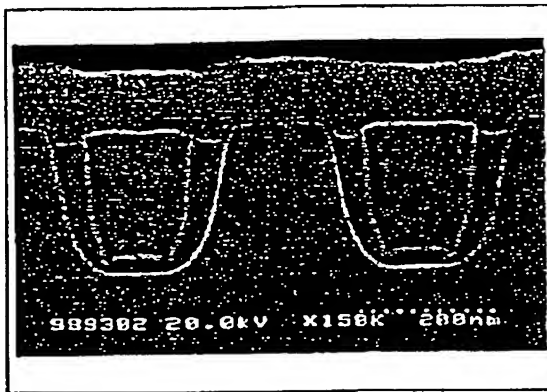
【図7】



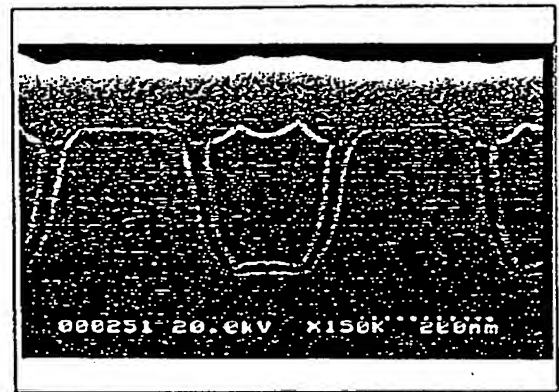
【図8】



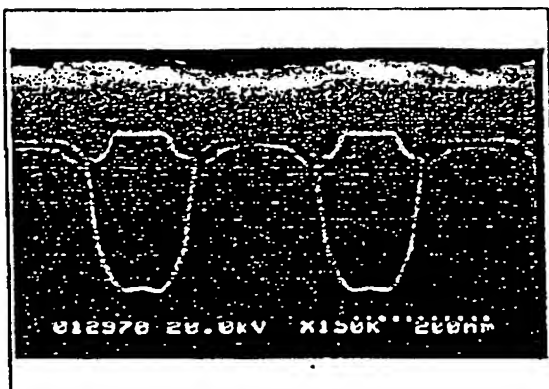
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 朴 ▲けい▼ 媛  
大韓民国京畿道水原市八達区梅灘1洞153  
-65番地204号

(72)発明者 李 漢 信  
大韓民国京畿道儀旺市五全洞849番地 冬  
柏アパート105棟901号

BEST AVAILABLE COPY

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)  
THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)